



IFW

ATTORNEY'S DOCKET NO.: S1022.81126US00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Jacky SEILLER, Jean-Francois REVEL and Claude DOUCE
Serial No.: 10/791,136
Filed: March 2, 2004
For: FORMING OF THE LAST METALLIZATION LEVEL OF AN INTEGRATED CIRCUIT

Examiner: Craig Tompson
Art Unit: 2813

Confirmation No. 3182

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir/Madam:

Transmitted herewith for filing is/are the following document(s):

- ☒ Certified Copy of French Priority Application No. 03 50672
- ☒ Return Post Card

If the enclosed papers are considered incomplete, the Mail Room and/or the Application Branch is respectfully requested to contact the undersigned collect at (617) 720-3500, Boston, Massachusetts.

No check is enclosed. If it is determined that a fee is necessary, the fee may be charged to the account of the undersigned, Deposit Account No. 23/2825. A duplicate of this sheet is enclosed.

CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)

I hereby certify that this document is being placed in the United States mail with first-class postage attached, addressed to Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on October 26, 2004.

Attorney Docket No.: S1022.81126US00
XNDD

Respectfully submitted,

Jacky Seiller et al., Applicant

By:
James H. Morris
Reg. No.: 34,681
WOLF, GREENFIELD & SACKS, P.C.
600 Atlantic Avenue
Boston, Massachusetts 02210
Tel. (617) 646-8227

THIS PAGE BLANK (USPTO)





ATTORNEY'S DOCKET NO.: S1022.81126US00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Jacky SEILLER, Jean-Francois REVEL and Claude DOUCE
Serial No.: 10/791,136
Filed: March 2, 2004
For: FORMING OF THE LAST METALLIZATION LEVEL OF AN INTEGRATED CIRCUIT

Examiner: Craig Tompson
Art Unit: 2813

Confirmation No. 3182

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir/Madam:

Transmitted herewith for filing is/are the following document(s):

- ☒ Certified Copy of French Priority Application No. 03 50672
- ☒ Return Post Card

If the enclosed papers are considered incomplete, the Mail Room and/or the Application Branch is respectfully requested to contact the undersigned collect at (617) 720-3500, Boston, Massachusetts.

No check is enclosed. If it is determined that a fee is necessary, the fee may be charged to the account of the undersigned, Deposit Account No. 23/2825. A duplicate of this sheet is enclosed.

CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)

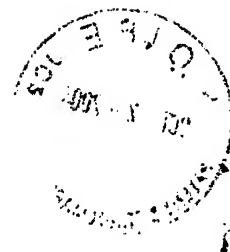
I hereby certify that this document is being placed in the United States mail with first-class postage attached, addressed to Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on October 26, 2004.

Attorney Docket No.: S1022.81126US00
XNDD

Respectfully submitted,

Jacky Seiller et al., Applicant

By:
James H. Morris
Reg. No.: 34,681
WOLF, GREENFIELD & SACKS, P.C.
600 Atlantic Avenue
Boston, Massachusetts 02210
Tel. (617) 646-8227



THIS PAGE BLANK (USPTO)



BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

CERTIFIED COPY OF
PRIORITY DOCUMENT

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 07 OCT. 2004

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint-Petersbourg
75800 PARIS cedex 08
Téléphone : 33 (0)1 53 04 53 04
Télécopie : 33 (0)1 53 04 45 23
www.inpi.fr

THIS PAGE BLANK (USPTO)



BREVET D'INVENTION

CERTIFICAT D'UTILITE

26bis, rue de Saint-Pétersbourg
75800 Paris Cédex 08
Téléphone: 01 53.04.53.04 Télécopie: 01.42.94.86.54

Code de la propriété intellectuelle-livre VI

REQUÊTE EN DÉLIVRANCE

DATE DE REMISE DES PIÈCES: N° D'ENREGISTREMENT NATIONAL: DÉPARTEMENT DE DÉPÔT: DATE DE DÉPÔT:	Michel DE BEAUMONT CABINET MICHEL DE BEAUMONT 1, rue Champollion 38000 GRENOBLE France
Vos références pour ce dossier: B5891	

1 NATURE DE LA DEMANDE			
Demande de brevet			
2 TITRE DE L'INVENTION			
		REALISATION DU DERNIER NIVEAU DE METALLISATION D'UN CIRCUIT INTEGRE	
3 DECLARATION DE PRIORITE OU REQUETE DU BENEFICE DE LA DATE DE DEPOT D'UNE DEMANDE ANTERIEURE FRANCAISE		Pays ou organisation	Date N°
4-1 DEMANDEUR			
Nom Rue Code postal et ville Pays Nationalité Forme juridique		STMICROELECTRONICS SA 29, Boulevard Romain Rolland 92120 MONTRouGE France France Société anonyme	
5A MANDATAIRE			
Nom Prénom Qualité Cabinet ou Société Rue Code postal et ville N° de téléphone N° de télécopie Courrier électronique		DE BEAUMONT Michel CPI: 92-1016, Pas de pouvoir CABINET MICHEL DE BEAUMONT 1, rue Champollion 38000 GRENOBLE 0476518451 0476446254 cab.beaumont@wanadoo.fr	
6 DOCUMENTS ET FICHIERS JOINTS		Fichier électronique	Pages
Texte du brevet		textebrevet.pdf	12
Dessins		dessins.pdf	4
Désignation d'inventeurs		Détails	
		D 9, R 2, AB 1	
		page 4, figures 8, Abrégé:	
		page 2, Fig.4	

7 MODE DE PAIEMENT				
Mode de paiement		Prélèvement du compte courant		
Numéro du compte client		665		
8 RAPPORT DE RECHERCHE				
Etablissement immédiat				
9 REDEVANCES JOINTES				
	Devise	Taux	Quantité	Montant à payer
062 Dépôt	EURO	0.00	1.00	0.00
063 Rapport de recherche (R.R.)	EURO	320.00	1.00	320.00
Total à acquitter	EURO			320.00

La loi n°78-17 du 6 janvier 1978 relative à l'informatique aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

Signé par

Signataire: FR, Cabinet Michel de Beaumont, M.De Beaumont

Emetteur du certificat: DE, D-Trust GmbH, D-Trust for EPO 2.0

Fonction

Mandataire agréé (Mandataire 1)



BREVET D'INVENTION CERTIFICAT D'UTILITE

Réception électronique d'une soumission

Il est certifié par la présente qu'une demande de brevet (ou de certificat d'utilité) a été reçue par le biais du dépôt électronique sécurisé de l'INPI. Après réception, un numéro d'enregistrement et une date de réception ont été attribués automatiquement.

Demande de brevet : X

Demande de CU :

DATE DE RECEPTION	13 octobre 2003	
TYPE DE DEPOT	INPI (PARIS) - Dépôt électronique	Dépôt en ligne: X
N° D'ENREGISTREMENT NATIONAL ATTRIBUE PAR L'INPI	0350672	Dépôt sur support CD:
Vos références pour ce dossier	B5891	

DEMANDEUR

Nom ou dénomination sociale	STMICROELECTRONICS SA
Nombre de demandeur(s)	1
Pays	FR

TITRE DE L'INVENTION

REALISATION DU DERNIER NIVEAU DE METALLISATION D'UN CIRCUIT INTEGRE

DOCUMENTS ENVOYES

package-data.xml	Requetefr.PDF	fee-sheet.xml
Design.PDF	ValidLog.PDF	textebrevet.pdf
FR-office-specific-info.xml	application-body.xml	request.xml
dessins.pdf	indication-bio-deposit.xml	

EFFECTUE PAR

Effectué par:	M.De Beaumont
Date et heure de réception électronique:	13 octobre 2003 15:13:00
Empreinte officielle du dépôt	81:65:23:30:65:D8:74:E6:97:D3:39:A4:7A:C8:50:5B:F5:9B:E6:EB

/ INPI PARIS, Section Dépôt /

SIEGE SOCIAL
INSTITUT 26 bis, rue de Saint Petersburg
NATIONAL DE 75800 PARIS cedex 08
LA PROPRIETE Téléphone : 01 53 04 53 04
INDUSTRIELLE Télécopie : 01 42 93 59 30

RÉALISATION DU DERNIER NIVEAU DE MÉTALLISATION D'UN CIRCUIT INTÉGRÉ

La présente invention concerne les circuits intégrés et plus particulièrement les plots de contact d'entrée/sortie formés sur le dernier niveau de métallisation de circuits intégrés.

5 Les figures 1 et 2 sont respectivement une vue de dessus partielle et une vue en coupe correspondante du dernier niveau de métallisation d'un exemple de circuit intégré. Une bobine 1 et un plot de contact 2 sont formés sur un substrat 3. Le substrat 3 est une couche isolante recouvrant un niveau de
10 métallisation antérieur ou un substrat semiconducteur. La bobine 1 a une forme de spirale en vue de dessus et cinq portions 5, 6, 7, 8 et 9 sont visibles en figure 2. Le plot de contact 2 a une forme carrée en vue de dessus comme cela est courant dans les circuits intégrés. Une couche de passivation 10 recouvre la
15 bobine, le substrat 3 ainsi que les bords du plot de contact 2. Une ouverture 11 de la couche de passivation 10 découvre une partie centrale du plot de contact 2.

La réalisation du dernier niveau de métallisation d'un circuit intégré tel que représenté en figures 1 et 2 consiste à
20 recouvrir le substrat 3 d'une couche métallique, généralement en aluminium, puis à graver cette couche métallique de façon à

former la bobine 1 et le plot de contact 2, et enfin à recouvrir l'ensemble de la structure d'une couche de passivation dans laquelle une ouverture est formée au dessus du plot de contact 2.

5 L'évolution des procédés de fabrication de circuits intégrés permet de placer de plus en plus d'éléments sur une même surface de substrat. Sur un niveau de métallisation donné, la largeur des bandes conductrices est de plus en plus petite. De même, on diminue la taille et l'écartement des plots de
10 contact afin d'en augmenter le nombre.

La figure 3 est une vue en coupe du plot de contact de la figure 2 après soudure d'un fil métallique. Le bout du fil métallique a sensiblement la forme d'une boule 20 posée sur le plot de contact 2. Lors de la soudure, la boule 20 est posée sur
15 le plot de contact 2, et une force élevée ainsi que des ultrasons sont appliqués afin de former une zone intermétallique 21 de soudure entre la boule 20 et le plot de contact 2.

L'aluminium étant un matériau relativement souple, l'application d'une force élevée et d'ultrasons entraîne une
20 pénétration de la boule 20 dans le plot de contact 2 et conduit d'une part à la formation de fissures 22 dans la couche de passivation 10 et d'autre part à la formation d'excroissances d'aluminium 23 de chaque côté de la boule 20, certaines des excroissances pouvant passer au-dessus de la couche de passivation
25 10. La présence de fissures 22 et d'excroissances d'aluminium 23 est susceptible d'entraîner des courts-circuits entre les plots de contact d'entrée/sortie placés de façon générale les uns à côté des autres, et ce d'autant plus que les plots sont de plus en plus proches. Et ceci entraîne des problèmes de fiabilité des
30 circuits intégrés concernés.

Un objet de la présente invention est de prévoir un circuit intégré comprenant sur son dernier niveau de métallisation des bandes conductrices faiblement résistives et des plots de contact métalliques de petite taille.

Un autre objet de la présente invention est de prévoir un procédé de fabrication d'un circuit intégré présentant sur son dernier niveau de métallisation des bandes conductrices faiblement résistives et des plots de contact métalliques de
5 petite taille.

Pour atteindre ces objets, la présente invention prévoit un circuit intégré comprenant un ou plusieurs niveaux de métallisation, des bandes conductrices métalliques et des plots de contact métalliques étant formés sur le dernier niveau de
10 métallisation, le dernier niveau étant recouvert d'une couche de passivation dans laquelle sont formées des ouvertures au-dessus des plots de contact. L'épaisseur des plots, au moins au niveau de leurs parties non recouvertes par la couche de passivation, est inférieure à l'épaisseur desdites bandes conductrices.

15 Selon un mode de réalisation de la présente invention, au moins une bande conductrice constitue une bobine.

Selon un mode de réalisation de la présente invention, plusieurs desdites bandes conductrices constituent un réseau d'alimentation.

20 Selon un mode de réalisation de la présente invention, le dernier niveau de métallisation est formé sur une couche isolante, chaque plot de contact étant constitué d'une couche conductrice recouvrant une portion isolante posée sur la couche isolante.

25 Selon un mode de réalisation de la présente invention, les plots de contact sont en aluminium.

La présente invention prévoit aussi un procédé de formation du dernier niveau de métallisation d'un circuit intégré comprenant les étapes suivantes :

30 déposer une couche métallique sur un substrat ;
graver la couche métallique de façon à former des portions métalliques et lesdites bandes conductrices ;
recouvrir le substrat, les bandes conductrices et les portions métalliques d'une couche de passivation ;

former des ouvertures dans la couche de passivation au-dessus des portions métalliques ; et

graver partiellement les portions métalliques de façon à diminuer leur épaisseur pour obtenir lesdits plots de contact.

5 La présente invention prévoit aussi un procédé de formation du dernier niveau de métallisation d'un circuit intégré comprenant les étapes suivantes :

déposer une couche métallique sur un substrat ;

10 graver la couche métallique de façon à former des portions métalliques et lesdites bandes conductrices ;

recouvrir les bandes conductrices d'une couche de protection ;

15 graver partiellement les portions métalliques de façon à diminuer leur épaisseur pour obtenir lesdits plots de contact ;

supprimer si nécessaire la couche de protection ;

recouvrir le substrat, les bandes conductrices et les plots de contact d'une couche de passivation ; et

20 former des ouvertures dans la couche de passivation au-dessus des plots de contact.

Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes
25 parmi lesquelles :

la figure 1 est une vue de dessus d'un circuit intégré selon l'art antérieur ;

la figure 2 est une vue en coupe du circuit intégré de la figure 1 ;

30 la figure 3 est une vue en coupe du plot de contact représenté en figures 1 et 2 après soudure d'un fil de connexion selon l'art antérieur ;

la figure 4 est une vue en coupe d'un circuit intégré selon un mode de réalisation de la présente invention ;

la figure 5 est une vue en coupe d'un circuit intégré selon un autre mode de réalisation ;

la figure 6 est une vue en coupe du plot de contact représenté en figure 4 après soudure d'un fil de connexion ;

5 les figures 7A à 7E sont des vues en coupe de structures obtenues après des étapes successives d'un mode de mise en oeuvre du procédé de la présente invention ; et

les figures 8A à 8E sont des vues en coupe de structures obtenues après des étapes successives d'un autre mode
10 de mise en oeuvre du procédé de la présente invention.

Par souci de clarté, les mêmes éléments ont été désignés par les mêmes références aux différentes figures et, de plus, comme cela est habituel dans la représentation des circuits intégrés, les figures ne sont pas tracées à l'échelle.

15 L'inventeur a déterminé l'origine des problèmes de fiabilité susmentionnés apparaissant pour les circuits très denses. Ils sont dus à une augmentation du rapport entre l'épaisseur et la largeur des plots de contact. En effet, afin de réduire la surface occupée par des bandes conductrices, tout
20 en conservant une résistivité la plus faible possible, on augmente l'épaisseur de la couche métallique. De plus, la diminution de la largeur des plots de contact contribue aussi à augmenter le rapport épaisseur/largeur, ce qui accentue les problèmes de fiabilité.

25 Une diminution de l'épaisseur de la couche métallique est difficilement envisageable car cela augmenterait la résistivité des bandes conductrices. L'utilisation d'un matériau plus conducteur que l'aluminium tel que du cuivre rendrait néanmoins plus difficile les opérations de soudure.

30 Pour résoudre ces problèmes, la présente invention prévoit de placer sur le dernier niveau de métallisation d'un circuit intégré des bandes conductrices métalliques "épaisses" et des plots de contact "minces".

La figure 4 est une vue en coupe partielle d'un
35 circuit intégré selon un mode de réalisation de la présente

invention. La vue de dessus correspondant à la portion de circuit représentée est identique à celle de la figure 1. Une bobine 30 et un plot de contact métallique 31 sont posés au dessus d'un substrat 32. Cinq portions de la bobine 30 sont
5 visibles. Le plot de contact 31 a dans cet exemple une forme sensiblement parallélépipédique. La bobine 30, le substrat 32, ainsi que les flancs et le bord de la surface supérieure du plot de contact 31 sont recouverts d'une couche de passivation 33. Une ouverture 35 de la couche de passivation 33 est prévue au
10 dessus du plot de contact 31.

Comme précédemment, le substrat 32 est une couche isolante recouvrant un niveau de métallisation antérieur ou un substrat semiconducteur dans le cas où le circuit ne comporte qu'un niveau de métallisation. Le plot de contact 31 et la bobine 30 sont composés de matériaux identiques ou différents, les
15 plots de contact étant de façon courante réalisés en aluminium.

Selon la présente invention, l'épaisseur du plot de contact 31 est inférieure à l'épaisseur du métal constitutif de la bobine 30. Dans cet exemple, la bobine a une épaisseur sensiblement double de celle du plot de contact.
20

La figure 5 est une vue en coupe partielle d'un circuit intégré selon un autre mode de réalisation de la présente invention. La vue de dessus correspondant à la portion de circuit représentée est identique à celle de la figure 1. Une
25 bobine 40 et un plot de contact métallique 43 sont posés sur un substrat 41. La bobine 40, le substrat 41 et le plot de connexion 43 sont recouverts d'une couche de passivation 44. Une ouverture 45 de la couche de passivation 44 est aussi prévue au-dessus du plot de connexion 43. Le plot de contact a sensiblement la forme d'une demi boîte, les portions du plot de contact recouvertes par la couche de passivation 44 étant plus épaisses
30 que les portions découvertes.

Selon la présente invention, l'épaisseur de la portion de la couche conductrice 43 découverte par l'ouverture 45 est
35 inférieure à l'épaisseur du métal constitutif de la bobine 40.

invention. La vue de dessus correspondant à la portion de circuit représentée est identique à celle de la figure 1. Une bobine 30 et un plot de contact métallique 31 sont posés au dessus d'un substrat 32. Cinq portions de la bobine 30 sont
5 visibles. Le plot de contact 31 a dans cet exemple une forme sensiblement parallélépipédique. La bobine 30, le substrat 32, ainsi que les flancs et le bord de la surface supérieure du plot de contact 31 sont recouverts d'une couche de passivation 33. Une ouverture 35 de la couche de passivation 33 est prévue au
10 dessus du plot de contact 31.

Comme précédemment, le substrat 32 est une couche isolante recouvrant un niveau de métallisation antérieur ou un substrat semiconducteur dans le cas où le circuit ne comporte qu'un niveau de métallisation. Le plot de contact 31 et la bobine 30 sont composés de matériaux identiques ou différents, les
15 plots de contact étant de façon courante réalisés en aluminium.

Selon la présente invention, l'épaisseur du plot de contact 31 est inférieure à l'épaisseur du métal constitutif de la bobine 30. Dans cet exemple, la bobine a une épaisseur sensiblement double de celle du plot de contact.
20

La figure 5 est une vue en coupe partielle d'un circuit intégré selon un autre mode de réalisation de la présente invention. La vue de dessus correspondant à la portion de circuit représentée est identique à celle de la figure 1. Une
25 bobine 40 et un plot de contact métallique 42 sont posés sur un substrat 41. La bobine 40, le substrat 41 et le plot de connexion 42 sont recouverts d'une couche de passivation 44. Une ouverture 45 de la couche de passivation 44 est aussi prévue au-dessus du plot de connexion 42. Le plot de contact a sensiblement la forme d'une demi boîte, les portions du plot de contact recouvertes par la couche de passivation 44 étant plus épaisses
30 que les portions découvertes.

Selon la présente invention, l'épaisseur de la portion de la couche conductrice 42 découverte par l'ouverture 45 est
35 inférieure à l'épaisseur du métal constitutif de la bobine 40.

Les deux exemples de circuits intégrés représentés en figures 4 et 5 comportent uniquement une bobine en plus d'un plot de contact. Cependant, les bandes conductrices formées dans le dernier niveau de métallisation d'un circuit intégré selon la présente invention peuvent avoir d'autres fonctions. La ou les bandes conductrices peuvent par exemple constituer un composant passif ou un réseau de lignes conductrices faiblement résistives. De façon générale, dans un circuit intégré selon la présente invention, les portions des plots de contact non recouvertes par la couche de passivation ont une épaisseur inférieure à celle des bandes conductrices placées sur le dernier niveau de métallisation du circuit intégré.

La figure 6 est une vue en coupe du plot de contact du circuit de la figure 4 après soudure d'un fil métallique. Le bout du fil métallique constitue une boule métallique 50, classiquement en or, qui est posée sur le plot de contact 31. Le plot de contact 31 a été creusé pendant la soudure presque jusqu'au substrat 32 et de petites excroissances d'aluminium se sont formées entre la boule 50 et la couche de passivation 33. Le volume d'aluminium déplacé lors du procédé de soudure étant relativement faible, car l'épaisseur d'aluminium est faible, la pression exercée sur la couche de passivation 33 est faible et n'entraîne pas de fissuration. De plus, les excroissances d'aluminium obtenues de chaque côté de la boule 50 sont de petites tailles et ne passent pas par-dessus la couche de passivation 33.

Un avantage de la structure d'un circuit intégré selon la présente invention est que la couche de passivation n'est pas fissurée au niveau des plots de contact après soudure d'un fil de connexion.

Un autre avantage de la structure d'un circuit intégré selon la présente invention est qu'aucun éclat d'aluminium n'est formé au moment de la soudure d'un fil de connexion sur le plot de contact.

Le dernier niveau de métallisation d'un circuit intégré selon la présente invention peut être formé de diverses manières. Deux exemples de procédé sont décrits ci-après.

5 Dans un premier exemple de procédé, on forme, comme cela est illustré en figure 7A, une couche métallique 100 sur un substrat 101 dont la partie supérieure est isolante.

A l'étape suivante, illustrée en figure 7B, on grave la couche métallique 100 de façon à former dans cet exemple une bobine 110 et une portion métallique 111. La vue de dessus de la structure obtenue est identique à celle de la figure 1. Cinq
10 portions de la bobine 110 sont visibles au dessus du substrat 101.

A l'étape suivante, on recouvre l'ensemble de la structure d'une couche de passivation 120.

15 A l'étape suivante, illustrée en figure 7D, on grave la couche de passivation 120 de façon à former une ouverture 130 au dessus de la portion métallique 111.

A l'étape suivante, on réalise une gravure de la portion métallique 111 de façon à diminuer son épaisseur. Dans cet exemple, la gravure est anisotrope et seule la partie de la portion métallique 11 non recouverte par la couche de passivation 120 est gravée partiellement. Dans cet exemple, l'épaisseur de la partie découverte de la portion 111 est diminuée de moitié. L'homme de l'art saura définir le procédé de gravure optimal
20 permettant de conserver une épaisseur de métal "idéale" permettant de réaliser une soudure de bonne qualité.

Un avantage du procédé précédemment décrit est qu'il ne nécessite pas de masque supplémentaire par rapport à un procédé classique de formation du dernier niveau de métallisation
30 d'un circuit intégré.

Dans un autre exemple de procédé, on effectue comme précédemment, et comme cela est représenté en figure 8A, un dépôt d'une couche métallique 150 sur un substrat 151. On grave ensuite, comme cela est illustré en figure 8B, la couche
35 métallique 150 afin de former une bobine 160 et une portion

métallique 161. La vue de dessus de la structure obtenue est identique à celle de la figure 1.

A l'étape suivante, on recouvre la bobine 160 d'une couche de protection 170. De façon générale, on recouvre
5 l'ensemble des éléments du circuit intégré dont on souhaite conserver l'épaisseur de la couche métallique. On grave ensuite la portion métallique 161 destinée à former un plot de contact. La durée de la gravure est déterminée de façon à obtenir l'épaisseur souhaitée pour les plots de contact. Dans cet
10 exemple, l'épaisseur du plot de contact est diminuée de moitié.

A l'étape suivante, illustrée en figure 8D, on élimine éventuellement la couche de protection 170 puis on recouvre l'ensemble de la structure d'une couche de passivation 180. On forme ensuite, comme cela est illustré en figure 8E, une ouver-
15 ture 190 de la couche de passivation 180 au dessus de la portion métallique 161. L'épaisseur du plot de contact métallique ainsi formé peut être réglée indépendamment de l'épaisseur des composants passifs ou des réseaux de bandes conductrices placées sur le même niveau de métallisation du circuit intégré.

Bien entendu, la présente invention est susceptible de
20 diverses variantes et modifications qui apparaîtront à l'homme de l'art. En particulier, les plots de contact métalliques peuvent avoir des formes variées. De plus, on pourra imaginer d'autres procédés de réalisation du dernier niveau de métallisa-
25 tion d'un circuit intégré comportant des plots de contact et des bandes conductrices d'épaisseurs différentes.

REVENDICATIONS

1. Circuit intégré comprenant un ou plusieurs niveaux de métallisation, des bandes conductrices métalliques (30 ; 40) et des plots de contact métalliques (31 ; 43) étant formés sur le dernier niveau de métallisation, le dernier niveau étant
5 recouvert d'une couche de passivation (33 ; 44) dans laquelle sont formées des ouvertures (35 ; 45) au-dessus des plots de contact, caractérisé en ce que l'épaisseur des plots, au moins au niveau de leurs parties non recouvertes par la couche de passivation, est inférieure à l'épaisseur desdites bandes
10 conductrices.

2. Circuit intégré selon la revendication 1, dans lequel au moins une bande conductrice (30 ; 40) constitue une bobine.

3. Circuit intégré selon la revendication 1, dans
15 lequel plusieurs desdites bandes conductrices constituent un réseau d'alimentation.

4. Circuit intégré selon la revendication 1, dans lequel le dernier niveau de métallisation est formé sur une couche isolante (41), chaque plot de contact étant constitué
20 d'une couche conductrice (43) recouvrant une portion isolante (42) posée sur la couche isolante.

5. Circuit intégré selon la revendication 1, dans lequel les plots de contact (31 ; 43) sont en aluminium.

6. Procédé de formation du dernier niveau de métalli-
25 sation d'un circuit intégré selon la revendication 1 comprenant les étapes suivantes :

déposer une couche métallique (100) sur un substrat (101) ;

30 graver la couche métallique de façon à former des portions métalliques (111) et lesdites bandes conductrices (110) ;

recouvrir le substrat, les bandes conductrices et les portions métalliques d'une couche de passivation (120) ;

former des ouvertures (130) dans la couche de passivation au-dessus des portions métalliques ; et

REVENDICATIONS

1. Circuit intégré comprenant un ou plusieurs niveaux de métallisation, des bandes conductrices métalliques (30 ; 40) et des plots de contact métalliques (31 ; 42) étant formés sur le dernier niveau de métallisation, le dernier niveau étant recouvert d'une couche de passivation (33 ; 44) dans laquelle sont formées des ouvertures (35 ; 45) au-dessus des plots de contact, caractérisé en ce que l'épaisseur des plots, au moins au niveau de leurs parties non recouvertes par la couche de passivation, est inférieure à l'épaisseur desdites bandes conductrices.

2. Circuit intégré selon la revendication 1, dans lequel au moins une bande conductrice (30 ; 40) constitue une bobine.

3. Circuit intégré selon la revendication 1, dans lequel plusieurs desdites bandes conductrices constituent un réseau d'alimentation.

4. Circuit intégré selon la revendication 1, dans lequel le dernier niveau de métallisation est formé sur une couche isolante (41), chaque plot de contact étant constitué d'une couche conductrice (42) recouvrant une portion isolante (42) posée sur la couche isolante.

5. Circuit intégré selon la revendication 1, dans lequel les plots de contact (31 ; 42) sont en aluminium.

6. Procédé de formation du dernier niveau de métallisation d'un circuit intégré selon la revendication 1 comprenant les étapes suivantes :

déposer une couche métallique (100) sur un substrat (101) ;

graver la couche métallique de façon à former des portions métalliques (111) et lesdites bandes conductrices (110) ;

recouvrir le substrat, les bandes conductrices et les portions métalliques d'une couche de passivation (120) ;

former des ouvertures (130) dans la couche de passivation au-dessus des portions métalliques ; et

graver partiellement les portions métalliques de façon à diminuer leur épaisseur pour obtenir lesdits plots de contact.

7. Procédé de formation du dernier niveau de métallisation d'un circuit intégré selon la revendication 1 comprenant
5 les étapes suivantes :

déposer une couche métallique (150) sur un substrat (151) ;

graver la couche métallique de façon à former des portions métalliques (161) et lesdites bandes conductrices
10 (160) ;

recouvrir les bandes conductrices d'une couche de protection (160) ;

graver partiellement les portions métalliques de façon à diminuer leur épaisseur pour obtenir lesdits plots de
15 contact ;

supprimer si nécessaire la couche de protection ;

recouvrir le substrat, les bandes conductrices et les plots de contact d'une couche de passivation (180) ; et

former des ouvertures (190) dans la couche de passiva-
20 tion au-dessus des plots de contact.

1/4

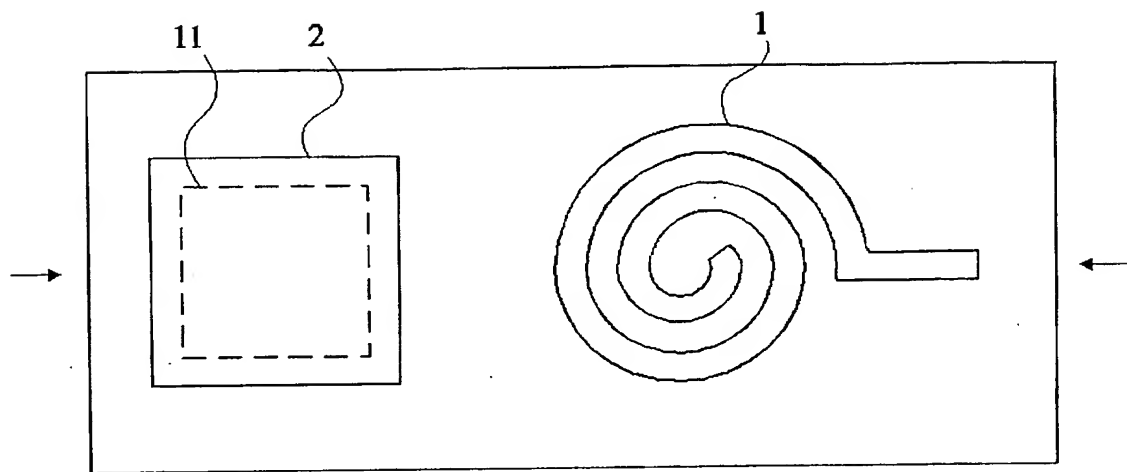


Fig 1

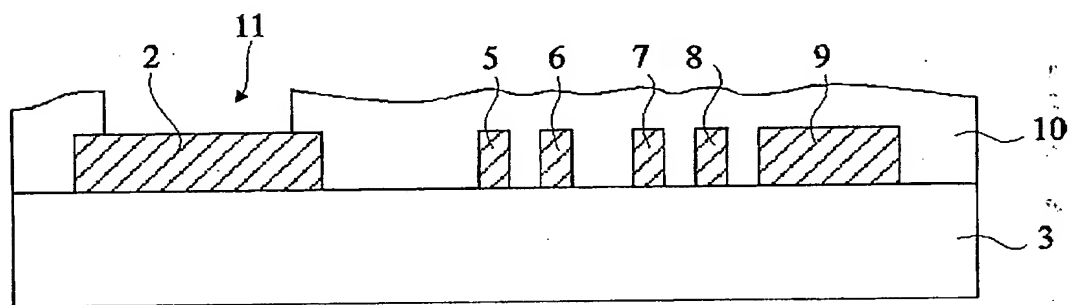


Fig 2

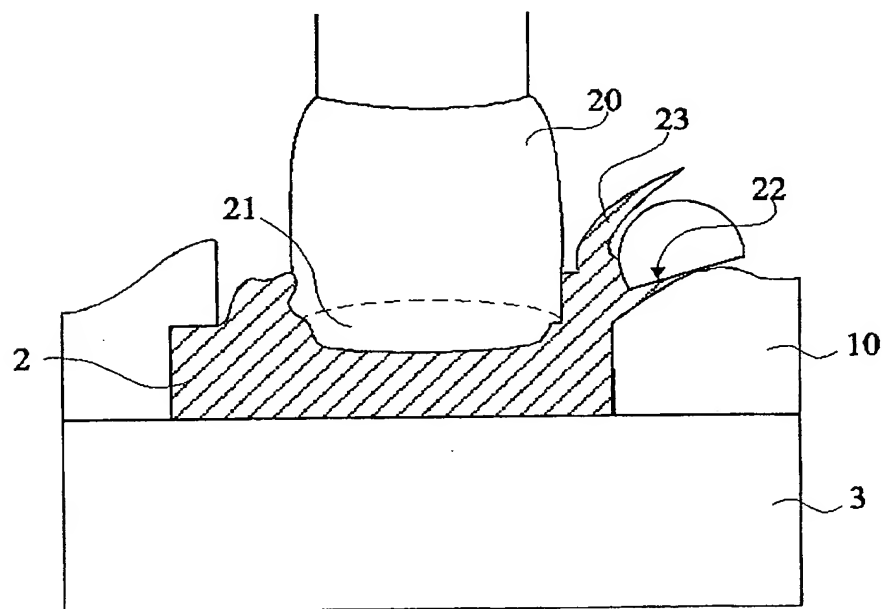


Fig 3

2/4

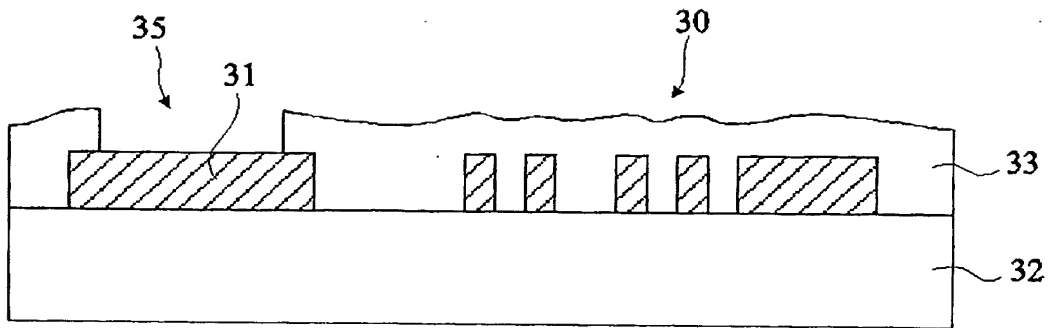


Fig 4

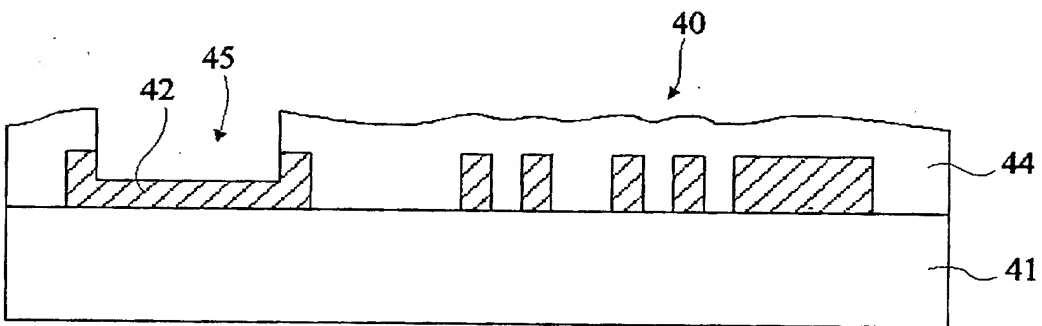


Fig 5

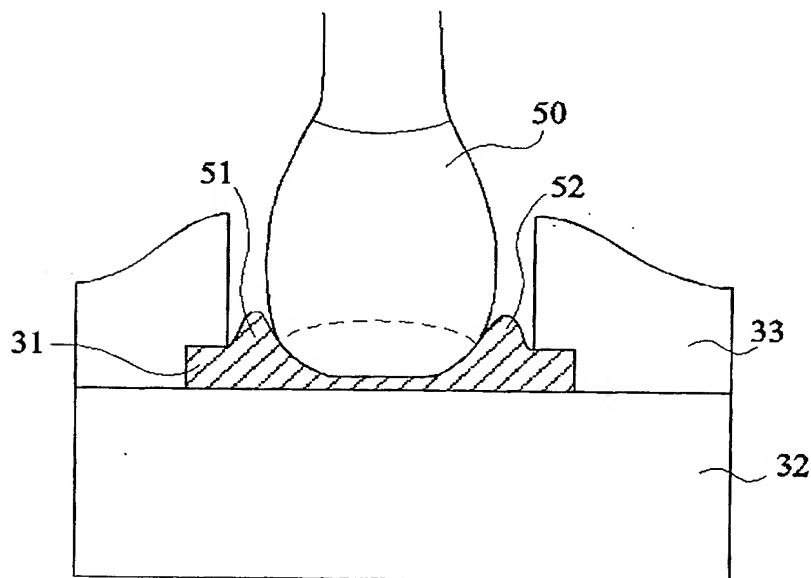


Fig 6

3/4

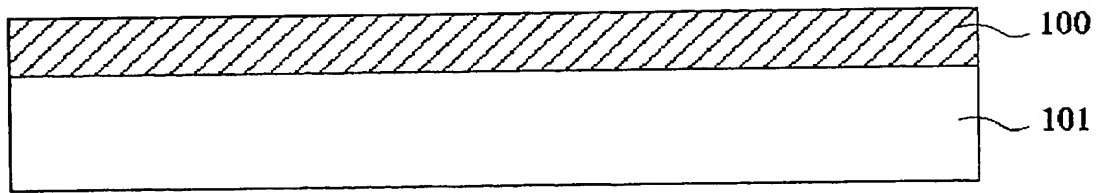


Fig 7A

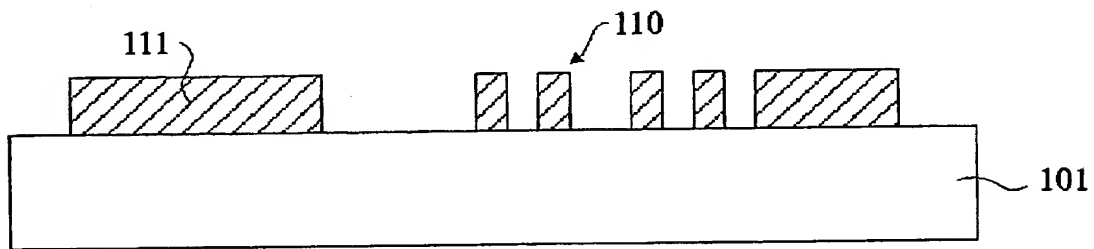


Fig 7B

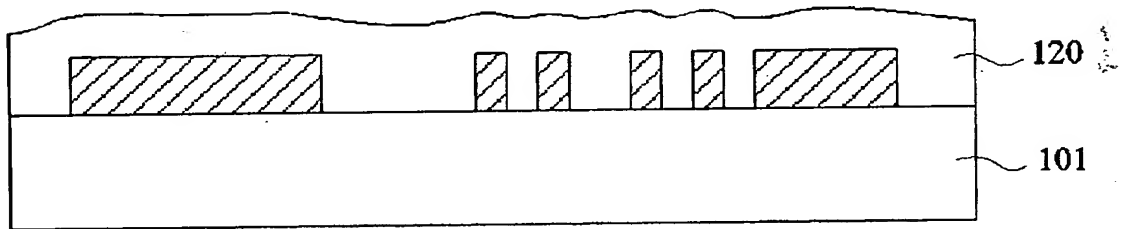


Fig 7C

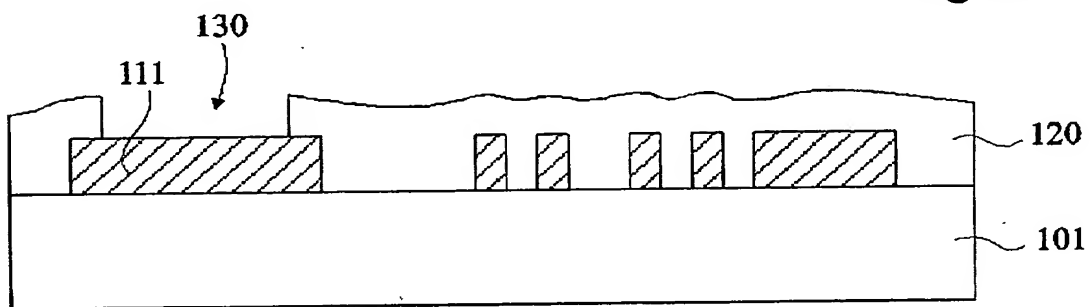


Fig 7D

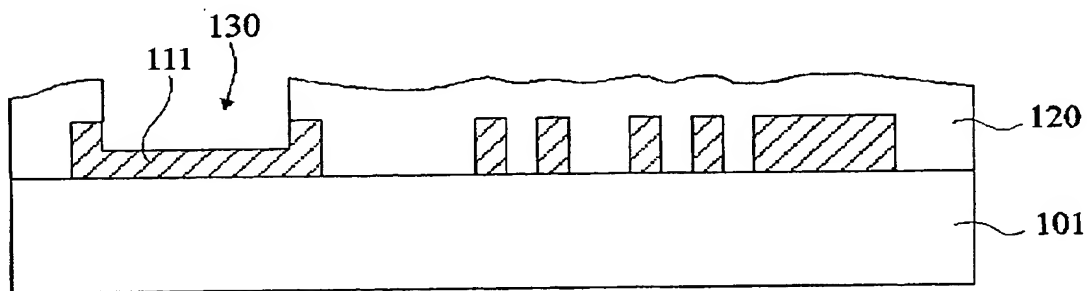


Fig 7E

4/4

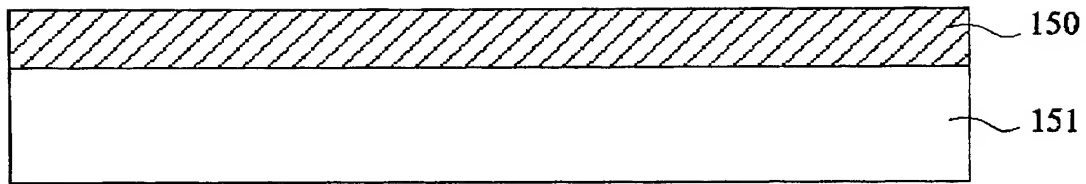


Fig 8A

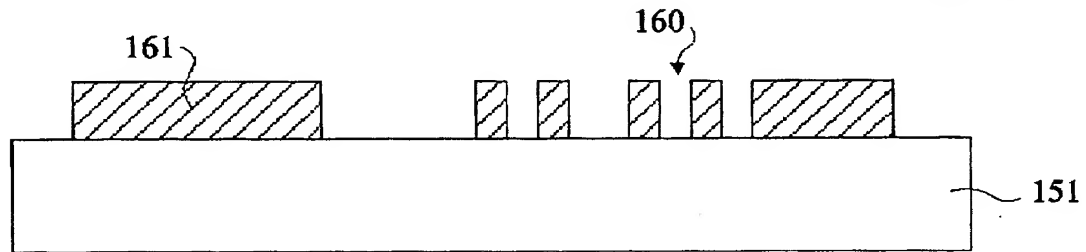


Fig 8B

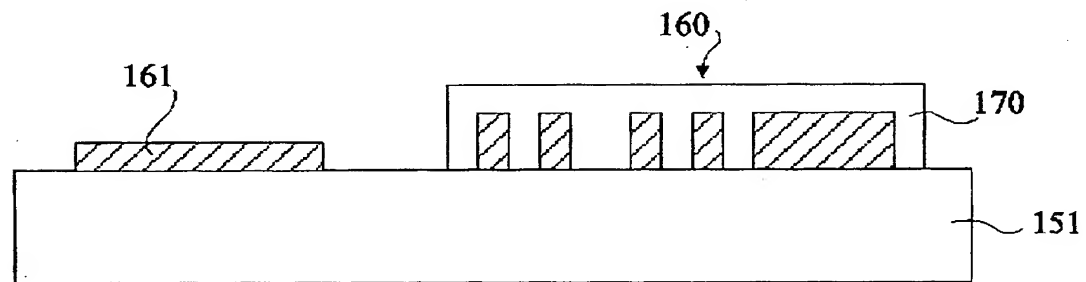


Fig 8C

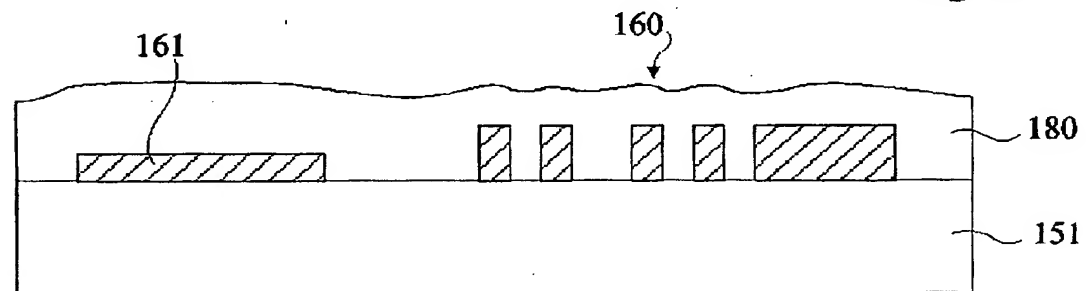


Fig 8D

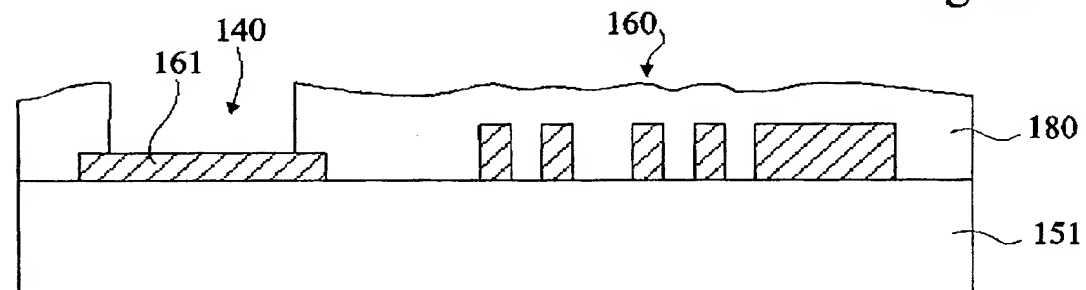


Fig 8E



BREVET D'INVENTION CERTIFICAT D'UTILITE

Désignation de l'inventeur

Vos références pour ce dossier	B5891
N°D'ENREGISTREMENT NATIONAL	
TITRE DE L'INVENTION	
	REALISATION DU DERNIER NIVEAU DE METALLISATION D'UN CIRCUIT INTEGRE
LE(S) DEMANDEUR(S) OU LE(S) MANDATAIRE(S):	
DESIGNE(NT) EN TANT QU'INVENTEUR(S):	
Inventeur 1	
Nom	SEILLER
Prénoms	JACKY
Rue	4, ALLÉE DES MARRONNIERS
Code postal et ville	38113 VEUREY VOROIZE
Société d'appartenance	
Inventeur 2	
Nom	REVEL
Prénoms	JEAN-FRANCOIS
Rue	183, RUE DU BROCEY
Code postal et ville	38920 CROLLES
Société d'appartenance	
Inventeur 3	
Nom	DOUCE
Prénoms	CLAUDE
Rue	810 LE VILLARD
Code postal et ville	38380 MIRIBEL-LES-ECHELLES
Société d'appartenance	

La loi n°78-17 du 6 janvier 1978 relative à l'informatique aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

Signé par

Signataire: FR, Cabinet Michel de Beaumont, M:De Beaumont
Emetteur du certificat: DE, D-Trust GmbH, D-Trust for EPO 2.0

Fonction

Mandataire agréé (Mandataire 1)

THIS PAGE BLANK (USPTO)